

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

**THIS PAGE BLANK (USPTO)**

DIALOG(R) File 351:Derwent WPI  
(c) 2000 Derwent Info Ltd. All rts. reserv.

010145638    \*\*Image available\*\*  
WPI Acc No: 1995-046890/\*199507\*  
XRPX Acc No: N95-037108

**Sub-mount for optical semiconductor element, such as laser chip - has two barrier layers on both sides of substance and two gold@-tin@ eutectic solder layer on barrier layer**

Patent Assignee: MITSUBISHI ELECTRIC CORP (MITQ )

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 6326210	A	19941125	JP 93111466	A	19930513	199507 B

Priority Applications (No Type Date): JP 93111466 A 19930513

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 6326210	A	4	H01L-023/12	

Abstract (Basic): JP 6326210 A

The sub-mount is interposed between the optical semiconductor chip and metal block which is used to dissipate the heat from chip. The sub mount consists of a substrate (10) and two barrier layers (7a, 7b) formed on both sides of the substance. A gold-tin eutectic solder layer (8) is prepared partially on the first barrier layer, and another AuSn eutectic solder layer (9) is formed on the whole surface of the second barrier layer.

ADVANTAGE - Controls protrusion of solder into semiconductor chip. Prevents solder short circuit to junction part of chip. Raises yield.

Dwg.1/3

Title Terms: SUB; MOUNT; OPTICAL; SEMICONDUCTOR; ELEMENT; LASER; CHIP; TWO; BARRIER; LAYER; SIDE; SUBSTANCE; TWO; GOLD; TIN; EUTECTIC; SOLDER; LAYER; BARRIER; LAYER

Derwent Class: U11; U12; V08

International Patent Class (Main): H01L-023/12

International Patent Class (Additional): H01L-021/52; H01L-033/00; H01S-003/18

File Segment: EPI

Manual Codes (EPI/S-X): U11-E02A3; U12-A01A4; U12-A01B3; V08-A04A

**THIS PAGE BLANK (USPTO)**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-326210

(43) 公開日 平成6年(1994)11月25日

(51) Int.Cl. <sup>3</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 23/12				
21/52	A	7376-4M		
33/00	N	7376-4M		
			H 0 1 L 23/ 12	F J
審査請求 未請求 請求項の数4 OL (全 4 頁) 最終頁に続く				

(21) 出願番号 特願平5-111466

(22) 出願日 平成5年(1993)5月13日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 石井 光男

兵庫県伊丹市瑞原4丁目1番地 三菱電機  
株式会社北伊丹製作所内

(74) 代理人 弁理士 早瀬 憲一

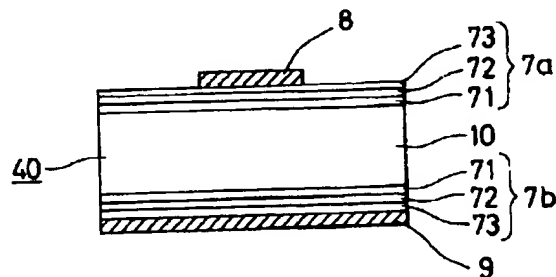
(54) 【発明の名称】 光半導体素子用サブマウント

(57) 【要約】

【目的】 特に低熱特性に必要なJ/D組立の際、ダイボンドした半田がチップサイドに露出したジャンクションに接触する事を防止する。

【構成】 サブマウント基体10の両面にバリヤ層7a、7bを形成し、さらにバリヤ層7a上に部分的にAuSn共晶半田層8を形成し、バリヤ層7b上に全面にAuSn共晶半田層9を設ける。

【効果】 チップサイドにはみ出す半田量を十分抑える事ができ、ジャンクションへの半田ショートによる初期不良の低減及び環境試験に於いて半田による影響を殆ど受けることのない信頼性の高いレーザ素子が得られる。



## 【特許請求の範囲】

【請求項1】 光半導体素子のチップを放熱用金属ブロックに接着する際に上記チップと金属ブロックとの間に介在させて用いられる光半導体素子用サブマウントにおいて、

サブマウント基体と、

上記サブマウント基体の両側に形成されたバリヤ層と、  
上記一方のバリヤ層表面に形成され、上記チップのサイズよりも小さい面積を有する共晶半田層と、

上記他方のバリヤ層の表面全面に形成された共晶半田層とからなることを特徴とする光半導体素子用サブマウント。

【請求項2】 請求項1記載の光半導体素子用サブマウントにおいて、

上記バリヤ層の最表面層はAuであり、

上記共晶半田層はAuSn層からなり、そのSn層が上記バリヤ層と接触することを特徴とする光半導体素子用サブマウント。

【請求項3】 請求項1記載の光半導体素子用サブマウントにおいて、

上記AuSn層からなる共晶半田層のSnに高純度なものをを用いることを特徴とする光半導体素子用サブマウント。

【請求項4】 請求項1記載の光半導体素子用サブマウントにおいて、

上記チップは上記サブマウント基板近傍に発光点を有するジャンクションダウン構造を有するものであることを特徴とする光半導体素子用サブマウント。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、光半導体素子の実装に使用する光半導体素子用サブマウントに関するものである。

【0002】

【従来の技術】図3は従来の半導体レーザ素子のダイボンドしたサブマウントの断面図である。図において、1はレーザチップ、2はレーザチップ1の接着面に設けられた表面メタライズ、3はレーザチップ1のレーザ光の発せられる発光点、4は上記レーザチップ1を実装するためのサブマウント、5は上記サブマウント4を搭載する金属ブロック、6は上記レーザチップ1をサブマウント4に接着するための半田である。

【0003】次に組立方法について説明する。図3において、レーザチップ1はレーザチップの表面メタライズ2の上に図示しない接着用の半田メタライズを有しており、レーザの組立では、一般的に放熱の良い金属ブロック5にサブマウント4を介して半田6を用いてチップ1が接着される。さらにODD（光磁気ディスクドライバ）やプリンタに使用する場合には、低熱抵抗や低熱特性を得るために、発光点3をサブマウント4に近づけて

組立てを行なうJ/D（ジャンクションダウン）組立が必要不可欠である。この場合、ダイボンド中の半田6がチップ1とサブマウント4との間で熔融し、チップ1の周辺部まで広がって最終的に固着するが、発光点3が接着面（ダイボンド面）から約数 $\mu\text{m}$ の位置にあるため、固着した半田6がチップ1のサイドに露出したP-Nジャンクションに接触することがある。

【0004】

【発明が解決しようとする課題】従来の光半導体素子用サブマウントは以上のように構成されているので、ダイボンドの際にサブマウントの表面にはみ出した半田が発光点近傍のチップサイドに露出したジャンクション部に接触し、初期ショート不良となって歩留低下が発生したり、また初期不良となることを避けられたとしてもユーザの使用中に、マイクロ放電現象によって半田がジャンクション部に間欠的に接触するショート不具合となることがあるという問題点があった。

【0005】この発明は上記のような問題点を解消するためになされたもので、ダイボンド時の半田が、チップサイドに露出したジャンクション部に接触してショート不良となるのを防止し、歩留が高く、かつ耐環境性試験においても特性変動が少なく、信頼性の高い半導体レーザ素子を得ることができる光半導体素子用サブマウントを提供することを目的とする。

【0006】

【課題を解決するための手段】この発明に係る光半導体素子用サブマウントは、サブマウント基体の両面にバリヤ層を設け、一方のバリヤ層の上にチップサイズより若干小さい共晶半田層を設け、他方のバリヤ層の全面に共晶半田層を設けたものである。

【0007】

【作用】この発明においては、サブマウントのレーザチップと接触する側に形成された共晶半田がチップサイズ相当の大きさに限定されて形成されているために、ダイボンドした際の半田がチップサイドに大きくはみ出してジャンクション部に接触することが抑制されるとともに、はみ出したとしても共晶半田により形成されているため、バリヤ層と十分に馴染んで、表面状態の良好な半田フィレットが形成され、ジャンクション部と接触することは殆どなくなる。

【0008】

【実施例】実施例1. 以下、この発明の実施例による光半導体素子用サブマウントを図について説明する。図1において、40はシリコン、又はシリコンカーバイド、又は窒化アルミニウムより構成されたサブマウントを示し、該サブマウント40を構成するサブマウント基体10の両面にそれぞれ、第1層Ti層71、第2層Ni層又はPt層72、第3層Au層73よりなるバリヤメタル7a、7bが形成され、さらに一方のバリヤメタル7aの表面にレーザチップ1のサイズに相当する大きさの

3

AuSn半田層(Sn wt%=20~40%)8が設けられ、他方のバリヤメタル7bの表面にAuSn半田層9が形成されている。また、図2は上記サブマウント40を用いてレーザチップをダイボンドしたときの様子を示す断面図であり、図3と同一符号は同一または相当部分を示す。

【0009】次に作用、効果について説明する。サブマウント基体10のバリヤメタル7aが形成された面にはレーザチップ1のサイズに相当するAuSn半田層8が蒸着又はスパッタにより形成され、サブマウント基体10のバリヤメタル7bが形成された面には全面にAuSn半田層9が蒸着又はスパッタにより形成されている。この場合、Snの純度が6N(99.9999%)以上のものを使用することで、ダイボンド時の半田溶融において、下地のバリヤ層7aの最表面層であるAu層73と十分に馴染むようになり、表面形状が滑らかなAuSn共晶半田層が形成されるようになる。このようなサブマウント40を用いて図2に示すように、J/D(ジャンクションダウン)組立を行なった場合、レーザチップ1のサイドへはみ出す半田8は十分に抑えられ、はみ出した場合においても、ジャンクション部への半田ショートは殆どなくなる。また、ヒートサイクル、高温保存等の環境試験においても、レーザの特性変動の少ない信頼性の高いレーザ装置が得られる。

【0010】

【発明の効果】以上のように、この発明に係る光半導体素子用サブマウントによれば、サブマウント基体の両面にバリヤ層を設け、さらにその上に前記基体の主面側に

4

レーザチップのサイズ相当の大きさの共晶半田層を設け、かつ上記基体の裏面側全面に共晶半田層を形成したので、ダイボンドの際にチップサイドにはみ出す半田の量を十分に抑制でき、チップサイドへ露出したジャンクション部への半田ショートを十分に抑えて歩留を向上させることができるとともに、ヒートサイクル、高温保存等の環境試験においても、半田の影響を殆ど受けず、特性変動の少ない信頼性の高い半導体レーザ素子が得られるという効果がある。

【図面の簡単な説明】

【図1】この発明の実施例による光半導体素子用サブマウントの断面図。

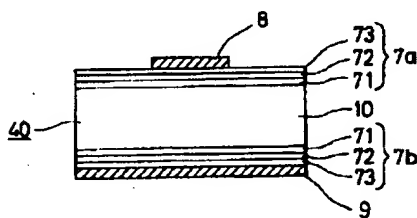
【図2】上記サブマウントを用いて半導体レーザ素子を実装した場合の装置断面図。

【図3】従来の半導体レーザ素子をダイボンドしたときの様子を示す装置断面図。

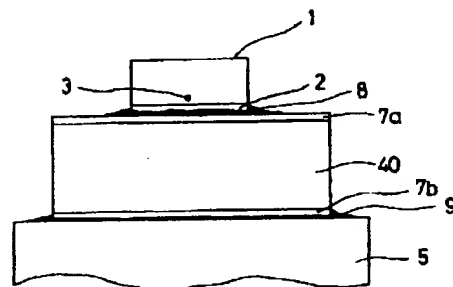
【符号の説明】

- 1 レーザチップ
- 2 表面メタライズ
- 3 発光点
- 4 サブマウント
- 5 金属ブロック
- 7a バリヤメタル
- 7b バリヤメタル
- 8 部分AuSn半田層
- 9 全面AuSn半田層
- 10 サブマウント基体

【図1】

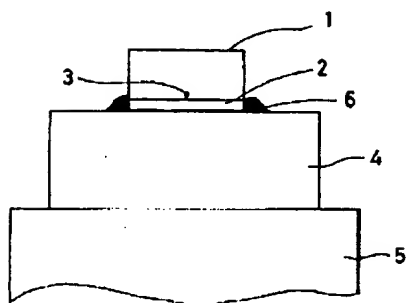


【図2】



- |            |                  |
|------------|------------------|
| 1: レーザチップ  | 7a, 7b: バリヤメタル   |
| 2: 表面メタライズ | 8: AuSn 半田層 (部分) |
| 3: 発光点     | 9: AuSn 半田層 (全面) |
| 5: 金属ブロック  | 10: サブマウント基板     |
|            | 40: サブマウント       |

【図3】



---

フロントページの続き

(51)Int.Cl.<sup>5</sup>

H01S 3/18

識別記号

庁内整理番号

F I

技術表示箇所